

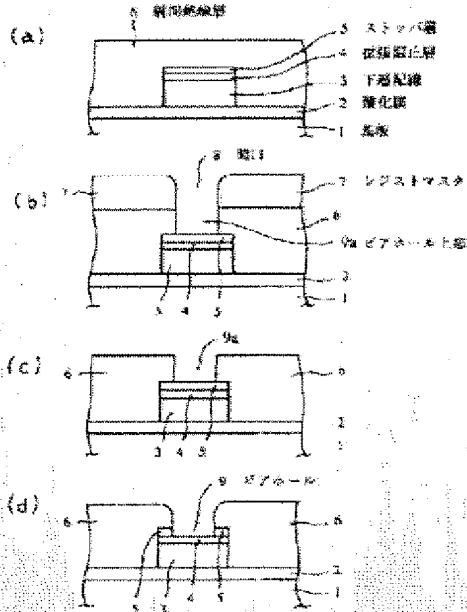
**MANUFACTURE OF SEMICONDUCTOR DEVICE**

**Publication number:** JP7014920  
**Publication date:** 1995-01-17  
**Inventor:** TSUZUKI NORIHISA  
**Applicant:** FUJITSU LTD  
**Classification:**  
 - international: H01L23/522; H01L21/3205; H01L21/768; H01L23/52;  
 H01L21/02; H01L21/70; (IPC1-7): H01L21/768;  
 H01L21/3205  
 - European:  
**Application number:** JP19930147266 19930618  
**Priority number(s):** JP19930147266 19930618

Report a data error here

**Abstract of JP7014920**

**PURPOSE:** To prevent the etching of a diffusion blocking layer during via hole formation by providing a stopper layer on the diffusion blocking layer and to prevent the deterioration of a surface of the diffusion blocking layer by avoiding exposure of the diffusion blocking layer during resist mask removal. **CONSTITUTION:** A diffusion blocking layer 4 is provided in an upper surface of a lower wiring 3 and a stopper layer 5 is provided to an uppermost surface thereof. High melting point silicide is used for the stopper layer 5 and it functions as a stopper in RIE of a layer insulation layer 6. Therefore, in etching for opening a via hole in the layer insulation film 6, the diffusion blocking layer 4 is protected by the stopper layer 5 and is not overetched. Therefore, the diffusion blocking layer 4 is not thinned, diffusion between the lower wiring 3 and a contact material can be surely prevented and an element of a small leak current and high reliability can be manufactured. High melting point silicide of the stopper layer 5 prevents the diffusion of oxygen during incineration of the resist mask 7 and prevents the deterioration of the diffusion blocking layer 4.



Data supplied from the esp@cenet database - Worldwide

(19)日本国特許序 (J P)

## (12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-14920

(43)公開日 平成7年(1995)1月17日

(51)Int.Cl.<sup>6</sup>H 01 L 21/768  
21/3205

識別記号

庁内整理番号

F I

技術表示箇所

8826-4M

H 01 L 21/ 90

D

審査請求 未請求 請求項の数 2 O.L. (全 6 頁)

(21)出願番号

特願平5-147266

(22)出願日

平成5年(1993)6月18日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 都築 鮎久

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 弁理士 井桁 貞一

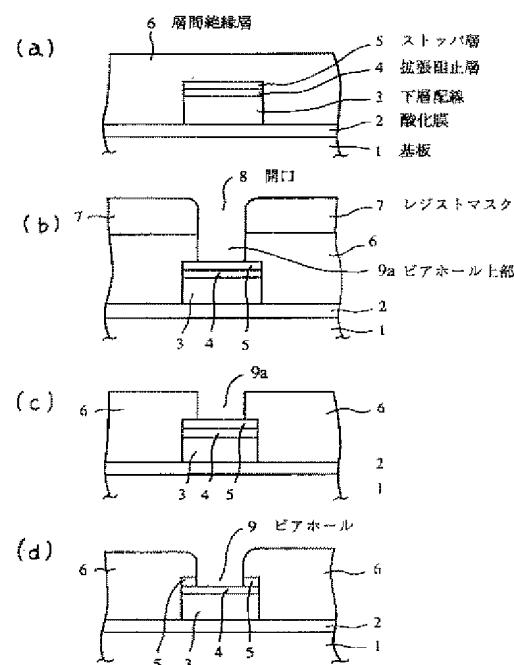
(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【目的】 ビアホールの形成方法に関し、下層配線の損傷を少なくする。

【構成】 上面に拡散阻止層4を有する下層配線3を覆う層間絶縁層6を貫通し拡散阻止層4を表出すビアホール9を開設する工程において、層間絶縁層6にビアホール9を開設するエッチングにおいてエッチストップとして作用するストップ層5を拡散阻止層4上面に設ける工程と、レジストマスク7を用いて層間絶縁層6を貫通しストップ層5を表出すビアホール上部9aを開設する工程と、次いで、レジストマスク7を除去する工程と、次いで、ビアホール上部9a底面に表出すストップ層5を、層間絶縁層6をマスクとし拡散阻止層4をエッチストップとするエッチングにより除去して拡散阻止層4を表出し、ビアホール9を形成する工程とを有する。

本発明の実施例断面工程図(その1)



## 【特許請求の範囲】

【請求項1】 上面に窒化チタン、タンゲステンチタニウム及び窒化タンゲステンのうちの何れかかるなる拡散阻止層(4)を有し、アルミニュウム及びアルミニュウム合金の何れかからなる下層配線(3)を基板(1)上に形成する工程と、該下層配線(3)を被覆して堆積された層間絶縁層(6)を貫通し該拡散阻止層(4)を表出するビアホール(9)を開設する工程とを有する半導体装置の製造方法において、

該拡散阻止層(4)上面に、高融点金属シリサイドからなるストップ層(5)を設ける工程と、

該下層配線(3)を覆い酸化シリコンからなる該層間絶縁層(6)を堆積する工程と、

該層間絶縁層(6)上に設けられ、かつ該ビアホール(9)を画定する開口(8)を有するレジストマスク(7)を用いて、該層間絶縁層(6)を貫通し該ストップ層(5)を表出するビアホール上部(9a)を開設する工程と、

次いで、該レジストマスク(7)を除去する工程と、

次いで、該ビアホール上部(9a)の底面に表出する該ストップ層(5)を、該層間絶縁層(6)をマスクとして該拡散阻止層(4)をエッチストップとするエッチングにより除去して該拡散阻止層(4)を表出し、該ビアホール(9)を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項2】 請求項1記載の半導体装置の製造方法において、

該ビアホール(9)内面を覆い該層間絶縁層(6)上に、非晶質シリコン薄膜、非晶質カーボン薄膜及び上下に酸化シリコン膜を有する窒化シリコン膜(ONO膜)のうちの何れかからなる非晶質薄膜(10)を堆積する工程と、

該非晶質薄膜(10)上に上層配線(12)を形成して、該下層配線(3)と該上層配線(12)とで挟まれた該非晶質薄膜(10)をアンチヒューズとして形成する工程とを有することを特徴とする半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、半導体装置の製造方法に関し、とくに下層配線の損傷が少ないビアホールの形成方法に関する。

【0002】 半導体装置の製造において、層間絶縁層で覆われた下層配線と電気的接続をとるため、層間絶縁層にビアホールを形成する場合が頻繁に生ずる。例えば、FPGA(フィールド・プログラマブル・ゲートアレイ)では、多数の平行配線からなり、互いに直交する二組の配線群の各交点毎にビアホールを形成し、非晶質シリコン薄膜からなるアンチヒューズを形成する。

## 【0003】 しかし、かかるビアホールを形成する際の

エッチングにより、ビアホール底面に表出する下層配線が損傷し、コンタクトの信頼性を損なうことがあり、半導体装置の信頼性が劣化する。

【0004】 このため、下層配線を損傷することなくビアホールを開口する方法が強く要望されている。

## 【0005】

【従来の技術】 層間絶縁層で覆われた下層配線へ接続するためのビアホールの従来の形成方法について、実施例を参照して説明する。

【0006】 図3は従来の実施例断面工程図であり、FPGAのアンチヒューズ部の断面を表している。先ず、図3(a)を参照して、半導体素子(図示されていない。)が形成された半導体基板1表面上に、酸化シリコンからなる酸化膜2を形成する。

【0007】 次いで、酸化膜2上に下層配線3材料となるA1層、拡散阻止層4となる窒化チタン層を順次堆積する。その後、フォトエッチングを用いて、窒化チタン層及びA1層を順次エッチングしてパターニングし、下層配線3を形成する。この下層配線3は、FPGAのアンチヒューズ部を構成する一方の配線、例えばX配線となる。ここで、下層配線3の上面に設けられた拡散阻止層4は、下層配線3材料のA1とコンタクト材料であるシリコンとの拡散反応を防止するための拡散障壁として機能する。

【0008】 次いで、下層配線3及び拡散阻止層4を覆い平坦な表面を有するSiO<sub>2</sub>層を層間絶縁層5として基板1上全面に堆積する。次いで、アンチヒューズを形成すべき領域を画定する開口8を有するレジストマスク7をフォトリソグラフィにより形成する。

【0009】 次いで、レジストマスク7を用いて層間絶縁層5をRIE(反応性イオンエッチング)し、図3

(b)を参照して、層間絶縁層5を貫通し底面に拡散阻止層4を表出するビアホール9を開設する。

【0010】 次いで、図3(c)を参照して、レジストマスク7を酸素プラズマを用いて灰化し除去する。次いで、非晶質シリコン薄膜を、CVD法を用いてビアホール9内面及び層間絶縁層5を覆い堆積し、非晶質薄膜10を形成する。次いで、図3(d)を参照して、ビアホール9内面を覆う非晶質薄膜10及びビアホール9周辺の層間絶縁層5上に堆積した非晶質薄膜10を残して、層間絶縁層5上の他の領域に堆積した非晶質薄膜をフォトエッチングにより除去する。

【0011】 次いで、窒化チタン膜、及び上層配線12材料のA1を順次堆積し、パターニングして、上層配線12を形成する。この上層配線12は、通常は、下層配線3と直交するY配線となる。

【0012】 このように、上層配線12と下層配線3とがビアホール9の底面で非晶質シリコンからなる非晶質薄膜10を挟んで対向するアンチヒューズが形成され、FPGAが製造される。

【0013】しかし、上記、ピアホールの形成工程において、層間絶縁層5を貫通するピアホールを形成する際、 $\text{SiO}_2$ からなる層間絶縁層5を弗素を含む反応ガスを用いてエッチングするため、下層配線3上面に設けられている窒化チタンからなる拡散阻止層4がオーバーエッチングされて薄くなるのである。

【0014】その結果、拡散障壁の機能が劣化するため、下層配線3とシリコン薄膜10との拡散反応を引起し、アンチヒューズのリーク電流を増加させ、またアンチヒューズの信頼性を損なう。

【0015】また、ピアホール9形成後にレジストマスク7を除去する際、ピアホールの底面に表出する拡散阻止層4の表面が変質し、例えは灰化による除去では酸化され、拡散阻止層4の表面に変質層が形成される。従って、下層配線3と非晶質薄膜10との間に変質層が挿まることとなり、アンチヒューズの書き電圧を変動させ、また、アンチヒューズの残留抵抗が大きくなる。

【0016】

【発明が解決しようとする課題】上述したように、従来のピアホール形成方法では、RIEを用いて層間絶縁層にピアホールを形成する際に、下層配線上に設けられた拡散阻止層が、ピアホールの底に表出するためエッチングされて薄くなり、拡散障壁が小さくなり信頼性を劣化させるという問題があった。

【0017】また、ピアホールの底に拡散阻止層表面を表出した状態でレジストマスクを除去するために、拡散阻止層表面に変質層が形成され、素子特性が劣化するという欠点がある。

【0018】本発明は、拡散阻止層上にストッパ層を設けることで、ピアホール形成の際の拡散阻止層のエッチングを防止し、かつ、レジストマスク除去の際に拡散阻止層の露出を回避して拡散阻止層表面の変質を防止することにより、信頼性が高く、かつ優れた電気的特性を有する半導体装置の製造方法を提供することを目的とする。

【0019】

【課題を解決するための手段】図1及び図2は、本発明の実施例断面工程図であり、FPGAのアンチヒューズ部の形成工程を表している。

【0020】上記課題を解決するために、図1及び図2を参照して、本発明の第一の構成は、上面に窒化チタン、タンゲステンチタニウム及び窒化タンゲステンのうちの何れかかかるなる拡散阻止層4を有し、アルミニウム及びアルミニウム合金の何れかかかるなる下層配線3を基板1上に形成する工程と、該下層配線3を被覆して堆積された層間絶縁層6を貫通し該拡散阻止層4を表出するピアホール9を開設する工程とを有する半導体装置の製造方法において、該拡散阻止層4上面に、高融点金属シリサイドからなるストッパ層5を設ける工程と、該下層配線3を覆い酸化シリコンからなる該層間絶縁層

6を堆積する工程と、該層間絶縁層6上に設けられ、かつ該ピアホール9を画定する開口8を有するレジストマスク7を用いて、該層間絶縁層6を貫通し該ストッパ層5を表出するピアホール上部9aを開設する工程と、次いで、該レジストマスク7を除去する工程と、次いで、該ピアホール上部9aの底面に表出する該ストッパ層5を、該層間絶縁層6をマスクとし該拡散阻止層4をエッチストッパとするエッチングにより除去して該拡散阻止層4を表出し、ピアホール9を形成する工程とを有することを特徴として構成し、及び、第二の構成は、第一の構成の半導体装置の製造方法において、請求項1記載の半導体装置の製造方法において、該ピアホール9内面を覆い該層間絶縁層6上に、非晶質シリコン薄膜、非晶質カーボン薄膜及び上下に酸化シリコン膜を有する窒化シリコン膜(ONO膜)のうちの何れかかかるなる非晶質薄膜10を堆積する工程と、該非晶質薄膜10上に上層配線12を形成して、該下層配線3と該上層配線12とで挟まれた該非晶質薄膜10をアンチヒューズとして形成する工程とを有することを特徴として構成する。

【0021】

【作用】本発明の構成では、図1(a)を参照して、下層配線3の上面に拡散阻止層4及び最上面にストッパ層5が設けられる。

【0022】ストッパ層5は、図1(b)を参照して、その上に堆積された層間絶縁層6をエッチングしてピアホール上部9aとなるべき孔を開口するとき、そのエッチングのストッパ(エッチストッパ)として機能する物質から構成される。

【0023】かかる構成では、層間絶縁層6にピアホールを開口する際にストッパ層があるため、オーバーエッチングにより拡散阻止層4を薄くすることがない。このため、下層配線3とコンタクト材料との拡散を確実に防止できるから、リーク電流が小さな又信頼性に優れた素子を製造することができる。

【0024】次いで、本発明の構成では、層間絶縁層6にピアホール上部9aを開口する際にエッチマスクとして用いたレジストマスク7を例えは灰化して除去する。

その後さらに、図1(d)を参照して、層間絶縁層6をマスクとするエッチングにより、ピアホール上部9aの底に表出するストッパ層5を除去する。このストッパ層5のエッチングは、拡散阻止層4をストッパとする選択的エッチング、例えはRIE、プラズマエッチング又は化学的エッチングによりなされる。

【0025】なお、ストッパ層5は、レジストマスク7の除去の際に、殆ど変質しない又は変質してもエッチングで除去される物質から構成される。かかる構成では、レジストマスク7の除去によってストッパ層5が変質する場合はあるものの、拡散素子層4表面の変質はストッパ層5により保護されるため確実に回避することができ、従って、確実なコンタクトを実現することができ、

変質層の介在から生ずる不都合、例えばコンタクト抵抗の増加、アンチヒューズの書き電圧の変動を防止することができる。

【0026】上述した本発明の構成において、下層配線3は導電体、例えばA1又はその合金を用いることができる。また、下層配線3とコンタクトする材料には、導電体、例えばA1若しくは多結晶シリコンの他に、アンチヒューズを形成する非晶質薄膜、例えば非晶質シリコン薄膜、非晶質カーボン、又はONO膜（上下に酸化シリコン膜を有する窒化シリコン膜からなる3層構造の薄膜をいう。）を用いることができる。

【0027】本発明の構成では、下層配線3としてA1又はその合金を用い、拡散阻止層4として窒化チタン、タンクステンチタニウム、又は窒化タンクステンが用いられる。かかる下層配線3と上記のコンタクト材料との組み合わせにおいて、これらの拡散素子層4は、下層配線3とコンタクト材料との界面におけるA1の拡散反応を有効に阻止することができる。

【0028】半導体装置では、層間絶縁層6としてSiO<sub>2</sub>が広く用いられている。かかるSiO<sub>2</sub>からなる層間絶縁層6は、レジストマスクを用いて、弗素を含むガス例えばCF<sub>4</sub>又はCHF<sub>3</sub>ガスを含むガスを反応ガスとするRIEによりビアホールを形成することができる。本発明を構成するトップ層5は、高融点金属シリサイド、例えばタンクステンシリサイドが用いられ、弗素を含むガスを反応ガスとする層間絶縁層6のRIEにおけるトップとして機能する。

【0029】従って、層間絶縁層6にビアホールを開設するためのエッティングにおいて、トップ層5が無ければこの層間絶縁層6のエッティングによりオーバーエッティングされるはずの拡散阻止層4が、トップ層5に保護されるため、オーバーエッティングされないのである。

【0030】さらに、これら高融点シリサイドは、レジストマスクの灰化の際に酸素の拡散を阻止して拡散阻止層4の変質を防止する。次いで、これら高融点金属シリサイドは、通常の半導体製造工程で用いられる方法、例えば臭素を含むガスを反応ガスとするRIE、プラズマエッティングにより、又は化学的エッティングにより除去される。かかる高融点金属シリサイドのエッティングにおいて、拡散阻止層4として用いられる窒化チタン、タンクステンチタニウム、又は窒化タンクステンはトップとして機能する。従って、A1からなる下層配線3は、拡散阻止層4により保護されるから、エッティングされ、又は変質層を生ずることがない。

【0031】上述したように、本発明の構成において、トップ層は、層間絶縁層6のエッティングに対して選択性を有し、さらに、トップ層のエッティングにおいて拡散阻止層に対する選択性を有する必要がある。かかる選択性はエッティングにより異なるから、エッティングに応じて層間絶縁層、トップ層及び拡散阻止層の材料を適切

に選択することでなされる。

#### 【0032】

【実施例】本発明を、FPGAに適用した実施例を参照して詳細に説明する。先ず、表面に半導体素子が形成されたシリコン基板1上に、図1(a)を参照して、SiO<sub>2</sub>からなる酸化膜2を堆積する。

【0033】次いで、酸化膜2上にスパッタにより、厚さ50.0nmのA1層、厚さ1.0nmの窒化チタン層、厚さ1.0nmのタンクステンシリサイド層を順次堆積する。その後フォトエッティングによりパターニングし、最上面にタンクステンシリサイドからなるトップ層5、及びその下層にTiNからなる拡散阻止層4が、上表面に設けられたA1からなる下層配線3を形成する。この下層配線3は、図1(a)の紙面に垂直に延在する平行線群として形成され、図1(a)はその一本の断面を表している。

【0034】ついで、下層配線3、拡散阻止層4、トップ層5を覆う厚さ10.0nmの平坦な表面のSiO<sub>2</sub>層を層間絶縁層6として堆積する。次いで、図1(b)を参照して、下層配線3直上にビアホールを画定する開口8を有するレジストマスク7を形成する。次いで、このレジストマスク7を用いて層間絶縁層6を選択的にエッティングし、層間絶縁層6を貫通する貫通孔をビアホール上部9aとして開設する。

【0035】この層間絶縁層6のエッティングは、例えばCF<sub>4</sub>とCHF<sub>3</sub>との混合ガスを反応ガスとするRIEを用いることができ、このときタンクステンシリサイドからなるトップ層5はエッチストップとして機能する。

【0036】次いで、図1(c)を参照して、レジストマスク7を酸素プラズマに暴露して灰化し、除去する。このとき、ビアホール上部9aの底面に表出するトップ層5には、殆ど変質層が生じない。また、トップ層5に覆われている拡散阻止層4は全く変質することができない。

【0037】次いで、図1(d)を参照して、ビアホール上部9aの底面に表出するトップ層5を、塩化臭素を反応ガスとするRIEを用いてエッティングし、除去し、底面に拡散阻止層4を表出するビアホール9を形成する。このトップ層5のエッティングにおいて、窒化チタンからなる拡散阻止層4は十分なエッティング選択性を有するため拡散阻止層4のオーバーエッティングは極めて少ない。

【0038】次いで、図2(e)を参照して、ビアホール内面及び層間絶縁層6の表面に、厚さ1.0nmの非晶質シリコン薄膜10を例えばCVD法により堆積する。次いで、ビアホール9内面を覆う非晶質シリコン及び、層間絶縁層6上に延在する非晶質シリコンのうちビアホール9開口部周辺領域を残して、層間絶縁層6上の非晶質シリコンをエッティングにより除去し、ビアホール

9 内面を覆う島状の非晶質シリコン薄膜からなる非晶質薄膜 10 を形成する。

【0039】次いで、図 2 (f) を参照して、厚さ 1.0 nm の窒化チタン膜、及び厚さ 1 μm の Al 層を例えればスパッタにより堆積し、パターンニングして下面に窒化チタン膜 11 を有する上層配線 12 を形成する。この上層配線 12 は、下層配線 3 と直交する平行線群としてパターニングされ、下層配線 3 との各交点に形成されたビアホール 9 において、非晶質薄膜 10 を上層及び下層配線 12, 3 とで挟む構造のアンチヒューズを形成する。なお、窒化チタン膜 11 は上層配線 12 の Al と非晶質薄膜 10 との拡散反応を防止するために設けられる。

【0040】本実施例により形成されたアンチヒューズは、シリコン薄膜からなる非晶質薄膜 10 と Al からなる下層配線 3 との間に十分な厚さの拡散阻止層があるため拡散反応が防止され、リーク電流が小さく、かつ製造歩留りが高い。

【0041】また、レジストマスク 7 の灰化の際に拡散阻止層 4 表面に変質層を生ずることがないから、アンチヒューズの書き電圧の上界、書き後の残留抵抗 (ON 抵抗) の上昇という不都合を回避することができる。従つて信頼性の高い素子を製造することができる。

【0042】上述した実施例において、アンチヒューズを形成する非晶質薄膜として、非晶質シリコン薄膜に代えて非晶質カーボン薄膜又は ONO 膜を用いることができる。

【0043】非晶質カーボンは例えばプラズマ CVD 法で堆積される。非晶質薄膜をカーボンとするとき、レジスト灰化と同時に非晶質薄膜をエッチングすることができるから、工程を簡素にすることができる。

【0044】また、ONO 膜は、シリコン薄膜を堆積したのち熱酸化して、酸化シリコンを直接堆積して例えば 2.0 nm の酸化膜を形成する。その後、窒化シリコンを堆

積した後その表面を熱酸化して形成することができる。その結果、例えば、上下に 2.0 nm の酸化膜を有し、SiO<sub>2</sub> への換算膜厚が 5.0 nm の窒化シリコン薄膜からなる 3 層構造の ONO 膜を形成することができる。なお、かかる ONO 膜のエッチングは通常よく知られた方法でなすことができる。

#### 【0045】

【発明の効果】上述したように、本発明によれば、表面に拡散阻止層を有する下層配線に接続するためのビアホールを層間絶縁層に開設する際に、ビアホール底面に表に出る拡散阻止層をオーバーエッチングすることなく、またレジスト灰化の際に、拡散阻止層表面を変質することができないので、信頼性が高く、かつ優れた電気的特性を有する半導体装置の製造方法を提供することができ、半導体装置の性能向上に寄与するところが大きい。

#### 【図面の簡単な説明】

【図 1】 本発明の実施例断面工程図 (その 1)

【図 2】 本発明の実施例断面工程図 (その 2)

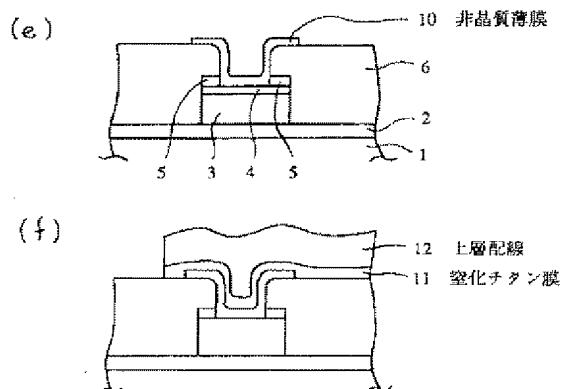
【図 3】 従来の実施例断面工程図

#### 【符号の説明】

1	基板
2	酸化膜
3	下層配線
4	拡散阻止層
5	ストップ層
6	層間絶縁層
7	レジストマスク
8	開口
9	ビアホール
9 a	ビアホール上部
10	非晶質薄膜
11	窒化チタン膜
12	上層配線

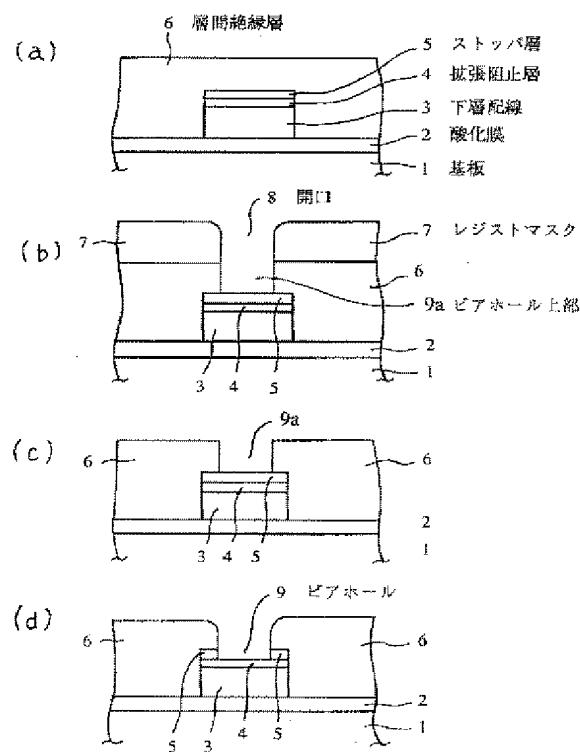
【図 2】

本発明の実施例断面工程図 (その 2)



【図 1】

本発明の実施例断面工程図（その 1）



【図 3】

従来の実施例断面工程図

